

OpenCore Sammelthread (Hilfe und Diskussion)

Beitrag von „apfelnico“ vom 8. Januar 2020, 20:36

[anonymous_writer](#)

Denke, ins "MSR IA32_TSC_ADJUST" Register wird für jeden Kern der Wert "0" geschrieben, was eventuell vorhandene Verschiebungen unwirksam macht.

[Aluveitie](#)

Weil "XHC1" überhaupt nicht bedacht wird.