

WWDC 2020 - ARM Macs?

Beitrag von „Aluveitie“ vom 25. Juni 2020, 21:32

[guckux](#) Das ist nicht ganz korrekt. Die P4 wurden mit einer extrem langen Pipeline ausgestattet um möglichst hoch zu tackten. Es war aber schlicht nicht möglich die Pipeline effizient zu füllen und statt bis wie geplant 10 GHz sind sie bei 5 GHz in die Power Wall gelaufen. Die Core Architektur war wiederum ein Re-design des Pentium M, welcher auch schon Micro-ops implementierte. Durch die kürzere Pipeline und anderen Optimierungen konnten sie endlich wieder zu AMD aufholen.

Aber die CISC vs RISC Debatte ist schon so veraltet ich glaube kein Chip Designer kümmert sich noch darum...